

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-338138

(43) 公開日 平成6年(1994)12月6日

(51) Int.Cl.⁵

G 1 1 B 20/10

G 0 6 F 1/06

識別記号

3 5 1 Z

庁内整理番号

7736-5D

7165-5B

F I

G 0 6 F 1/04

技術表示箇所

3 1 0 Z

審査請求 未請求 請求項の数3 O L (全 8 頁)

(21) 出願番号

特願平5-126817

(22) 出願日

平成5年(1993)5月28日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 角田 昌彦

東京都青梅市末広町2丁目9番地 株式会

社東芝青梅工場内

(72) 発明者 海田 克彦

東京都青梅市末広町2丁目9番地 株式会

社東芝青梅工場内

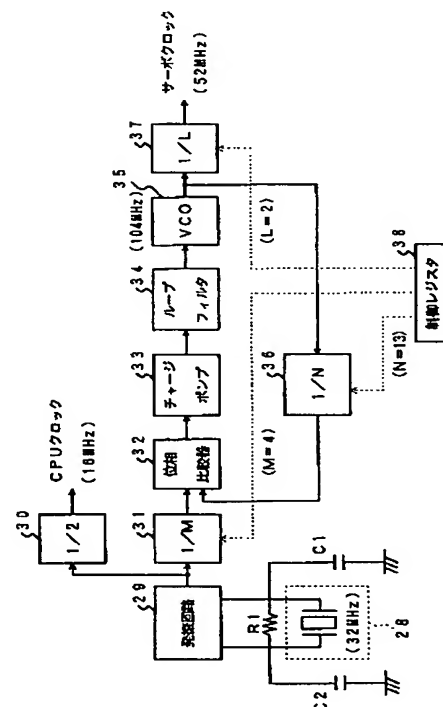
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 基準クロック発生装置及び基準クロック発生方法

(57) 【要約】

【目的】 1つの振動子のみを有して、周波数の異なる複数の基準クロック信号を安価にて生成可能な基準クロック発生装置を提供することを目的とする。

【構成】 水晶振動子28の発振周波数に従ったクロック信号を発振回路29より出力し、これを1/2分周回路30で1/2分周して、所定の周波数を有するCPUクロック信号を得る。一方、発振回路29の出力を1/M分周回路31で1/M分周し、その分周出力を位相比較器32、チャージポンプ33、ループフィルタ34、電圧制御発振器35および1/N分周回路36からなるPLL回路に与える。このPLL回路の後段に1/L分周回路37を設け、1/M分周回路31、1/N分周回路36および1/L分周回路37の各分周比を制御レジスタ38にて適切な値に設定して、所定の周波数を有するサーボクロック信号を得る。



【特許請求の範囲】

【請求項1】 1つの振動子を有し、この振動子の発振周波数に従ってクロック信号を発振する発振手段と、PLL回路および複数の分周回路の組み合わせせからなり、上記発振手段から発振される上記クロック信号に基づいて、周波数の異なる複数の基準クロック信号を生成する基準クロック生成手段と、上記各分周回路の分周比をそれぞれ独立に設定し、上記各基準クロック信号の周波数を調整する制御手段とを具備したことを特徴とする基準クロック発生装置。

【請求項2】 上記制御手段は、磁気ディスク装置を統括制御するCPUに必要なCPUクロック信号、および磁気ヘッドの位置決め制御を行うサーボ制御回路に必要なサーボクロック信号のそれぞれの周波数に応じて、上記各分周回路の分周比を独立に設定することを特徴とする請求項1記載の基準クロック発生装置。

【請求項3】 1つの振動子を有し、この振動子の発振周波数に従ってクロック信号を発振する発振手段を備え、

PLL回路および複数の分周回路の組み合わせにより、上記発振手段から発振される上記クロック信号に基づいて、周波数の異なる複数の基準クロック信号を生成し、上記各分周回路の分周比を独立に設定して、上記各基準クロック信号の周波数を調整するようにしたことを特徴とする基準クロック発生方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数のシステムクロックを必要とする磁気ディスク装置等のデータ処理装置に用いられる基準クロック発生装置及び基準クロック発生方法に関する。

【0002】

【従来の技術】磁気ディスク装置では、それぞれのパフォーマンスを最大限に発揮させるため、サーボ制御回路（およびリード／ライト回路）とCPUとで別々のクロック信号を持つ必要がある。ただし、昨今の磁気ディスク装置では、高機能、大容量化のためにデータ転送速度が上昇し、CPUも高速化しているため、それぞれの発振周波数がかなり高くなってきている。

【0003】図4に磁気ディスク装置に用いられる従来の基準クロック発生装置の構成を示す。従来は、2つの水晶振動子22および25を用いて、CPUクロック信号とサーボクロック信号とを別々に生成していた。

【0004】水晶振動子22は、CPUクロック信号生成用であり、CPUクロック信号の2倍の周波数で発振する。発振回路23は、水晶振動子22の発振周波数に従ってTTLまたはCMOS相当レベルのクロック信号を出力する。分周回路24は、発振回路23の出力を1／2分周し、その分周出力をCPUクロック信号として外部に出力する。

【0005】一方、水晶振動子25は、サーボクロック信号生成用であり、シリンダコード転送速度の3倍で発振する。発振回路26は、水晶振動子24の発振周波数に従ってTTLまたはCMOS相当レベルのクロック信号を出力する。補助発振回路27は、水晶振動子25が目的の高周波で発振するように時定数が設定されたLC回路である。なお、R1およびR2は抵抗、C11、C12、C21、C23はコンデンサ、Lはコイルである。

【0006】上記構成において、例えばCPUの最高スピードを得るために、16MHzのCPUクロック信号が必要であると仮定すると、クロック信号の周波数およびデューティの精度を上げる目的で、32MHzの水晶振動子22を使用し、これを1／2分周して使用することになる。一方、サーボ用の基準クロック信号として、昨今のデータ転送速度の上昇により、17.3MHzが必要であると仮定すると、一般にグレイコード等を用いているサーボデータのデコード精度を向上させるため、17.3MHzの3倍の52MHzの水晶振動子25を使用することになる。

【0007】なお、実際には、CPUクロック信号およびサーボクロック信号の他に、リード／ライト基準クロック信号が必要であるが、これはサーボクロック信号を利用することができる。CDR（Constant Density Recording）方式を用いている磁気ディスク装置では、サーボクロック信号をリード／ライト基準クロック信号としてライトPLL回路に与え、各ゾーン毎にその周波数を切り替えている。

【0008】

【発明が解決しようとする課題】上記したように、従来、磁気ディスク装置に用いられる基準クロック発生装置には、30MHz以上の水晶振動子が2つ必要であった。この場合、水晶振動子の発振周波数が25～30MHzを越えると、水晶が極めて薄くなることから、機械的信頼性が低下し、それを改善するのに高価となる。したがって、装置1台に高価な水晶振動子を複数搭載することは、コスト的に大きな問題となる。

【0009】また、水晶振動子は30MHzを越えると基本波（1次発振周波数）で発振するのが困難になり、3次高調波や5次高調波を使用せざるを得なくなる。このため、高調波成分で発振しやすいように、R、L、Cからなる補助発振回路（補助的な共振回路）が必要となったり、誤って基本波で発振してCPUが誤動作しないように、発振周波数を監視する回路が必要になるなど、補助回路が多くなる問題がある。

【0010】本発明は上記のような点に鑑みなされたもので、1つの振動子のみを有して、周波数の異なる複数の基準クロック信号を安価にて生成可能な基準クロック発生装置及び基準クロック発生方法を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明の基準クロック発生装置は、1つの振動子を有し、この振動子の発振周波数に従ってクロック信号を発振する発振手段と、PLL回路および複数の分周回路の組み合わせからなり、上記発振手段から発振される上記クロック信号に基づいて、周波数の異なる複数の基準クロック信号を生成する基準クロック生成手段と、上記各分周回路の分周比をそれぞれ独立に設定し、上記各基準クロック信号の周波数を調整する制御手段とを具備したものである。

【0012】

【作用】上記の構成によれば、PLL回路および複数の分周回路の組み合わせにより、発振手段から発振されるクロック信号から周波数の異なる複数の基準クロック信号が生成される。したがって、各分周比を適切な値に設定するだけで、1つの振動子のみで、しかも、その振動子の発振周波数を変えることなく、所望の周波数を有する複数の基準クロックを得ることができる。

【0013】

【実施例】以下、図面を参照して本発明の一実施例を説明する。まず、本発明の基準クロック発生装置が適用される磁気ディスク装置の構成について説明する。図3はサーボ方式の磁気ディスク装置の構成を示すブロック図である。図3において、1は記録媒体であるディスク、2はこのディスク1に対しデータのリード／ライトを行う磁気ヘッドである。ディスク1は、スピンドルモータ3によって回転する。磁気ヘッド2は、キャリッジ4に搭載されており、ボイスコイルモータ（VCM）5によってディスク1の半径方向に移動する。スピンドルモータ3は、モータドライバ6によって駆動される。ボイスコイルモータ5は、VCMドライバ7によって駆動される。

【0014】ヘッドアンプ10は、データの読出し時には、磁気ヘッド2の読出し信号を増幅し、データの書込み時には、ライトデータに従って磁気ヘッド2に書込み電流を供給する。パルス検出回路11は、ヘッドアンプ10からの読出し信号の電磁変換位置に相当する波形ピーク点を検出し、アナログの読出し信号を2値化データに変換する。

【0015】サーボ検出回路12は、ディスク1に予め記録されているサーボデータであるヘッド位置決めデータ（バーストデータ）を検出する。A/Dコンバータ13は、アナログのヘッド位置決めデータをデジタル値に変換する。サーボコントローラ14は、パルス検出回路11からのシリンダアドレスコードとA/Dコンバータ13からのヘッド位置決めデータに基づいて、磁気ヘッド2の位置決め制御を行うものであり、ここではその制御に必要なサーボクロック信号を基準クロック発生回路21から得ている。

【0016】リードPLL回路15は、パルス検出回路11からのリードパルスに位相同期したリードクロック

信号を作成する。デコーダ16は、パルス検出回路11からのリードパルスをNRZ信号に復調する。ライトPLL回路17は、後述する基準クロック発生回路21からのサーボクロック信号をリード／ライト基準クロック信号として入力し、ライトクロック信号を作成する。エンコーダ18は、インタフェースコントローラ20からのNRZデータをライトPLL回路17からのライトクロック信号に同期したライトデータに変調する。

【0017】CPU19は、磁気ディスク装置を統括制御するものであり、ここでは、その制御に必要なCPUクロック信号を基準クロック発生回路21から得ている。インタフェースコントローラ20は、図示せぬホストコンピュータとのインタフェース制御を行う。基準クロック発生回路21は、本発明の部分であり、図1または図2に示すような構成により、サーボクロック信号およびCPUクロック信号を生成して、サーボコントローラ14およびCPU19にそれぞれ出力する。

【0018】次に、本発明の基準クロック発生装置について説明する。本発明では、1つの振動子で、周波数の異なる複数の基準クロック（ここでは、サーボクロック信号およびCPUクロック信号）を生成することを目的としており、その具体的な構成を図1に示す。

【0019】図1は第1の実施例としての基準クロック発生装置の構成を示すブロック図である。図1において、水晶振動子28は、32MHzで発振する。発振回路29は、水晶振動子28の発振周波数に従ってTTLもしくはCMOS相当レベルのクロック信号を出力する。1/2分周回路30は、発振回路29の出力信号を1/2分周し、その分周出力をCPUクロック信号として外部（CPU19）に出力する。

【0020】1/M分周回路31は、発振回路29の出力信号を制御レジスタ38にて設定される分周比（1/M）で分周する。位相比較器32は、1/M分周回路31の分周出力とPLL回路の帰還ループに設けられた1/N分周回路36の分周出力との位相比較を行う。チャージポンプ33は、位相比較器32の出力信号に従ってループフィルタ34に供給されるチャージ／ディスチャージ電流の電流源である。ループフィルタ34は、チャージポンプ33のチャージ／ディスチャージ電流を平滑し、電圧制御発振器（VCO）35に発振制御電圧を供給する積分型フィルタである。電圧制御発振器35は、ループフィルタ34の出力電圧に応じた周波数（ここでは、104MHz）で発振する。

【0021】1/N分周回路36は、PLL回路の帰還ループに設けられ、電圧制御発振器35の出力信号を制御レジスタ38にて設定される分周比（1/N）で分周し、その分周出力を位相比較器32にフィードバックする。1/L分周回路37は、電圧制御発振器35の出力信号を制御レジスタ38にて設定される分周比（1/L）で分周し、その分周出力をサーボクロック信号（リ

ード／ライト基準クロック信号)として外部(サーボコントローラ14)に出力する。制御レジスタ38は、1/M分周回路31、1/N分周回路36および1/L分周回路37の各分周比をそれぞれ独立に設定する。

【0022】このような構成において、発振回路29から出力される32MHzのクロック信号は、1/2分周回路30および1/M分周回路31に与えられる。1/2分周回路30では、32MHzのクロック信号を1/2分周する。これにより、16MHzのCPUクロック信号が得られる。このCPUクロック信号は、図3に示すCPU19に与えられる。

【0023】ここで、制御レジスタ38にて、1/M分周回路31の分周比を「1/4」、1/N分周回路36の分周比を「1/13」を設定すると共に、PLL回路の後段に設けられた1/L分周回路37の分周比を「1/2」に設定すると、発振回路29から出力された32MHzのクロック信号は、まず、1/M分周回路31で1/4分周された後、PLL回路に与えられる。

【0024】PLL回路は、位相比較器32、チャージポンプ33、ループフィルタ34、電圧制御発振器35および1/N分周回路36からなり、1/M分周回路31の出力信号(8MHzのクロック信号)を受けて104MHzのクロック信号を生成する。この104MHzのクロック信号は、PLL回路の後段に設けられた1/L分周回路37において1/2分周される。これにより、52MHzのサーボクロック信号が得られる。このサーボクロック信号は、図3に示すサーボコントローラ14に与えられる。なお、この52MHzのサーボクロック信号は、リード／ライト基準クロック信号としてライトPLL回路17にも与えられる。

【0025】このように、PLL回路と分周回路を設け、サーボクロック信号の周波数に応じて、各分周比を制御レジスタ38にて適切な値に設定することにより、CPUクロック信号と同時に、このCPUクロック信号とは周波数の異なるサーボクロック信号を得ることができる。この場合、32MHzの水晶振動子を1つしか使用しないため、CPUおよびサーボ制御のそれぞれのパフォーマンスを落とさずに、コストダウンを図ることができる。また、本装置はPLL回路と分周回路で構成されているため、周波数精度が非常に高く、しかも、従来のような補助回路を必要とすることもない。

【0026】次に、本発明の第2の実施例を説明する。上記第1の実施例では、CPUクロック信号の周波数を固定とし、そのCPUクロック信号からサーボクロック信号の周波数を任意に設定するような構成としたが、ここでは、CPUクロック信号とCPUクロック信号のそれぞれの周波数を任意に設定可能とする。

【0027】図2は第2の実施例としての基準クロック発生装置の構成を示すブロック図である。図2において、水晶振動子39は、16MHzで発振する。発振回

路40は、水晶振動子39の発振周波数に従ってTTLもしくはCMOS相当レベルのクロック信号を出力する。

【0028】1/M分周回路41は、発振回路40の出力信号を制御レジスタ49にて設定される分周比(1/M)で分周する。位相比較器42は、1/M分周回路41の分周出力とPLL回路の帰還ループに設けられた1/N分周回路46の分周出力との位相比較を行う。チャージポンプ43は、位相比較器42の出力信号に従ってループフィルタ44に供給されるチャージ／ディスチャージ電流の電流源である。ループフィルタ44は、チャージポンプ43のチャージ／ディスチャージ電流を平滑し、電圧制御発振器(VCO)45に発振制御電圧を供給する積分型フィルタである。電圧制御発振器45は、ループフィルタ34の出力電圧に応じた周波数(ここでは、96MHz)で発振する。

【0029】1/N分周回路46は、PLL回路の帰還ループに設けられ、電圧制御発振器45の出力信号を制御レジスタ49にて設定される分周比(1/N)で分周し、その分周出力を位相比較器42にフィードバックする。1/L1分周回路47は、電圧制御発振器45の出力信号を制御レジスタ49にて設定される分周比(1/L1)で分周し、その分周出力をCPUクロック信号として外部(CPU19)に出力する。1/L2分周回路48は、電圧制御発振器45の出力信号を制御レジスタ49にて設定される分周比(1/L2)で分周し、その分周出力をサーボクロック信号(リード／ライト基準クロック信号)として外部(サーボコントローラ14)に出力する。制御レジスタ49は、1/M分周回路41、1/N分周回路46、1/L1分周回路47および1/L2分周回路48の各分周比をそれぞれ独立に設定する。

【0030】このような構成において、発振回路40から出力される16MHzのクロック信号は、1/M分周回路41を介してPLL回路に与えられる。ここで、制御レジスタ49にて、1/M分周回路41の分周比を「1/2」、1/N分周回路46の分周比を「1/12」に設定し、さらにPLL回路の後段に設けられた1/L1分周回路47および1/L2分周回路48の分周比をそれぞれ「1/6」、「1/2」に設定すると、発振回路29から出力された16MHzのクロック信号は、まず、1/M分周回路41で1/2分周された後、PLL回路に与えられる。

【0031】PLL回路は、位相比較器42、チャージポンプ43、ループフィルタ44、電圧制御発振器45および1/N分周回路46からなり、1/M分周回路41の出力信号(8MHzのクロック信号)を受けて96MHzのクロック信号を生成する。この96MHzのクロック信号は、PLL回路の後段に設けられた1/L1分周回路47および1/L2分周回路48に与えられ

る。

【0032】 $1/L1$ 分周回路47では、PLL出力を $1/6$ 分周する。これにより、 16MHz のCPUクロック信号が得られる。このCPUクロック信号は、図3に示すCPU19に与えられる。一方、 $1/L2$ 分周回路48では、上記PLL出力を $1/2$ 分周する。これにより、 48MHz のサーボクロック信号が得られる。このサーボクロック信号は、図3に示すサーボコントローラ14に与えられる。なお、この 48MHz のサーボクロック信号は、リード/ライト基準クロック信号としてライトPLL回路17にも与えられる。

【0033】このように、PLL回路の後段に2種類の分周回路を設けて、CPUクロック信号とサーボクロック信号をそれぞれ得るようにしても良い。この場合、図1の構成では、水晶振動子28がCPUクロック信号の周波数に依存され、その発振周波数が 30MHz 以上となるが、図2の構成では、サーボクロック信号の周波数をCPUクロック信号の周波数の整数倍でしか選択できないものの、水晶振動子39がCPUクロック信号の周波数に依存されないため、その発振周波数を 20MHz 以下とすることができ、さらにコストダウンを図ることができる。

【0034】

【発明の効果】以上のように本発明によれば、PLL回路および複数の分周回路を組み合わせ、周波数の異なる複数の基準クロック信号を生成するようにしたため、各分周比を適切な値に設定するだけで、1つの振動子のみで、しかも、その振動子の発振周波数を変えることな

く、所望の周波数を有する複数の基準クロック信号を得ることができる。

【0035】したがって、磁気ディスク装置において、CPUおよびサーボ制御回路のそれぞれのパフォーマンスを落とすことなく、CPUクロック信号およびサーボクロック信号といった2種類の基準クロック信号を安価な構成にて精度良く提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る基準クロック発生装置の構成を示すブロック図。

【図2】本発明の第2の実施例に係る基準クロック発生装置の構成を示すブロック図。

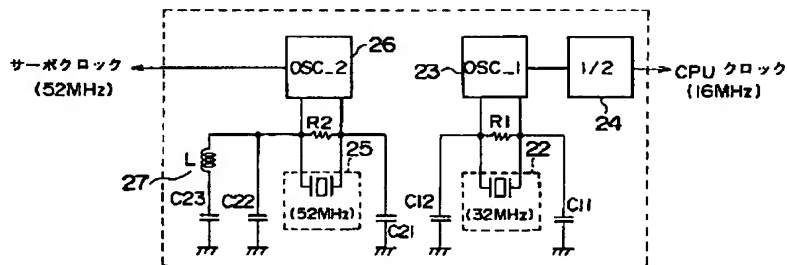
【図3】本発明の基準クロック発生装置が適用される磁気ディスク装置の構成を示すブロック図。

【図4】従来の基準クロック発生装置の構成を示すブロック図。

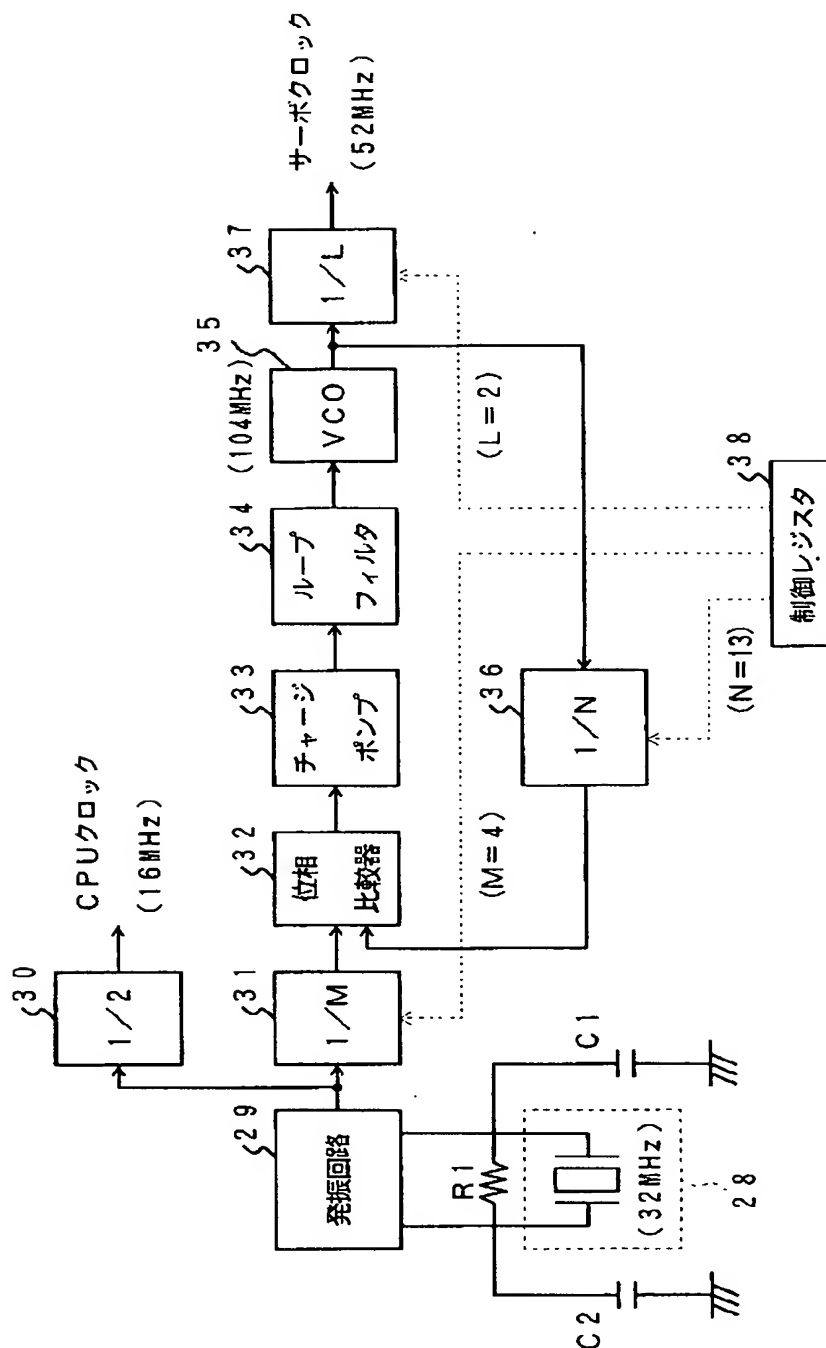
【符号の説明】

28…水晶振動子、29…発振回路、30… $1/2$ 分周回路、31… $1/M$ 分周回路、32…位相比較器、33…チャージポンプ、34…ループフィルタ、35…電圧制御発振器、36… $1/N$ 分周回路、37… $1/L$ 分周回路、38…制御レジスタ、39…水晶振動子、40…発振回路、41… $1/M$ 分周回路、42…位相比較器、43…チャージポンプ、44…ループフィルタ、45…電圧制御発振器、46… $1/N$ 分周回路、47… $1/L1$ 分周回路、48… $1/L2$ 分周回路、49…制御レジスタ。

【図4】



【図1】



【図2】

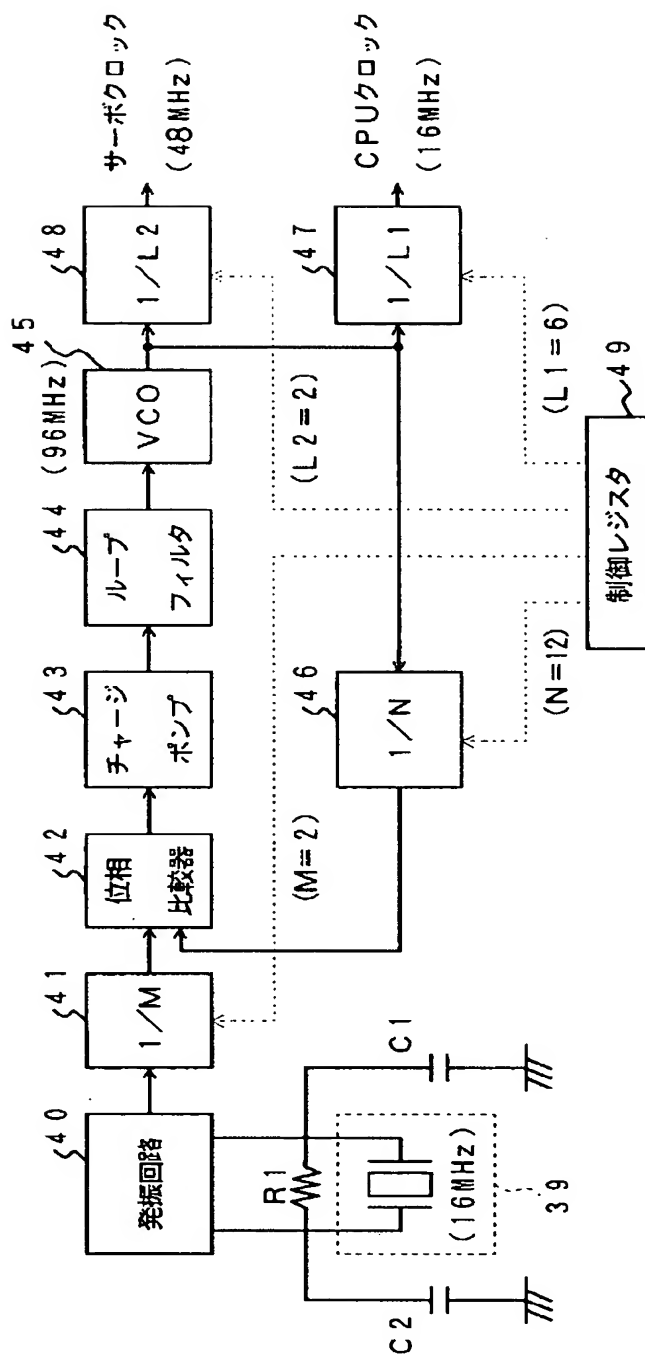


Figure 1 is a block diagram of a digital control system for a disk drive. The diagram illustrates the flow of data and control signals between various components.

Top Section (Mechanical Assembly):

- 1: Read/Write Head
- 2: Read/Write Coil
- 3: Motor
- 4: VCM (Voice Coil Motor)
- 5: VCM Driver
- 6: Motor Driver
- 7: VCM Driver

Control System (Bottom Section):

- Input/Output:**
 - Read Data (RLL Code) (1): Input to the Read PLL (15) and the Read Gate (16).
 - Read Pulse (2): Input to the Read PLL (15).
 - Read Gate (3): Input to the Read PLL (15).
 - Write Gate (4): Input to the Write PLL (17).
 - Address (5): Input to the Address Decoder (18) and the Address Encoder (19).
 - Servo Clock (6): Input to the Servo Controller (11) and the Servo Driver (12).
- Control Blocks:**
 - Read PLL (15): Receives Read Data (RLL Code) and Read Pulse (2). Outputs to the Read Gate (16).
 - Write PLL (17): Receives Write Gate (4). Outputs to the Address Encoder (19).
 - Address Decoder (18): Receives Address (5). Outputs to the Read Gate (16).
 - Address Encoder (19): Receives Address (5). Outputs to the Write Gate (4).
 - Servo Controller (11): Receives Servo Clock (6). Outputs to the Servo Driver (12).
 - Servo Driver (12): Receives Servo Clock (6). Outputs to the Servo Controller (11).
 - A/D Converter (13): Receives Servo Clock (6). Outputs to the Servo Controller (11).
 - Servo Controller (14): Receives Servo Clock (6). Outputs to the Servo Driver (12).
 - Servo Driver (12): Receives Servo Clock (6). Outputs to the Servo Controller (11).
 - VCM Driver (7): Receives Servo Clock (6). Outputs to the VCM (5).
 - VCM Driver (9): Receives Servo Clock (6). Outputs to the VCM (5).
 - Motor Driver (6): Receives Servo Clock (6). Outputs to the Motor (8).
 - Motor Driver (8): Receives Servo Clock (6). Outputs to the Motor (8).
 - VCM Controller (9): Receives Servo Clock (6). Outputs to the VCM (5).
 - VCM Controller (11): Receives Servo Clock (6). Outputs to the VCM (5).
 - Motor Controller (8): Receives Servo Clock (6). Outputs to the Motor (8).
 - Motor Controller (10): Receives Servo Clock (6). Outputs to the Motor (8).

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-338138

(43)Date of publication of application : 06.12.1994

(51)Int.Cl. G11B 20/10

G06F 1/06

(21)Application number : 05-126817 (71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.05.1993 (72)Inventor : TSUNODA MASAHIKO

KAIDA KATSUHIKO

(54) DEVICE AND METHOD OF GENERATING REFERENCE CLOCK

(57)Abstract:

PURPOSE: To form a plurality of reference clock signals having different frequency at a low cost while having only one vibrator.

CONSTITUTION: A clock signal according to the oscillation frequency of a crystal oscillator 28 is output from an oscillation circuit 29, the clock signal is frequency-divided in two with a half frequency-dividing circuit, and a CPU clock signal having specified frequency is obtained. On the other hand, an output from the oscillation circuit 29 is frequency-divided in M by a I/M frequency dividing circuit 31, and the frequency-divided output is transmitted over a PLL circuit consisting of a phase comparator 32, a charge pump 33, a loop filter 34, a voltage control oscillator 35 and a I/N frequency dividing circuit 36. A I/L frequency dividing circuit 37 is mounted at the post-stage of the PLL circuit, and each frequency-dividing ratio of the I/M frequency dividing circuit 31, the I/N frequency dividing circuit 36 and the I/L frequency dividing circuit 37 is set at proper values by a control register 38, thus acquiring a servo clock signal having specified frequency.

LEGAL STATUS [Date of request for examination] 12.03.1998

[Date of sending the examiner's decision of rejection] 13.11.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any

damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not

reflect

the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] An oscillation means to have one vibrator and to oscillate a clock signal according to the oscillation frequency of this vibrator, A reference clock generation means to generate two or more reference clock signals with which frequencies differ based on the above-mentioned clock signal which consists of combination of a PLL circuit and two or more frequency dividers, and is oscillated from the above-mentioned oscillation means, The reference clock generator characterized by providing the control means which sets up independently the division ratio of each above-mentioned frequency divider, respectively, and adjusts the frequency of each above-mentioned reference clock signal.

[Claim 2] The above-mentioned control means is a reference clock generator according to claim 1 characterized by setting up independently the division ratio of each above-mentioned frequency divider according to each frequency of a CPU clock signal required for CPU which carries out generalization control of the magnetic disk drive, and a servo clock signal required for the servo control circuit which performs point to point control of the magnetic head.

[Claim 3] The reference clock generating approach characterized by to have one vibrator, to have an oscillation means oscillate a clock signal according to the oscillation frequency of this vibrator, to generate two or more reference clock signals from which a frequency differs with the combination of a PLL circuit and two or more frequency dividers based on the above-mentioned clock signal oscillated from the above-mentioned oscillation means, to set up independently the division ratio of each above-mentioned frequency divider, and to adjust the frequency of each above-mentioned reference clock signal.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the reference clock generator and the reference clock generating approach which are used for data processors, such as a magnetic disk drive which needs two or more system clocks.

[0002]

[Description of the Prior Art] With a magnetic disk drive, in order to demonstrate each performance to the maximum extent, it is necessary to have a separate clock signal by the servo control circuit (and read/write circuit) and CPU. However, in the magnetic disk drive of these days, since the data transfer rate rose for high efficiency and large-capacity-izing and CPU is also accelerated, each oscillation frequency is becoming quite high.

[0003] The configuration of the conventional reference clock generator used for a magnetic disk drive at drawing 4 is shown. Conventionally, the CPU clock signal and the servo clock signal were separately generated using two quartz resonators 22 and 25.

[0004] A quartz resonator 22 is an object for CPU clock signal generation, and is oscillated with a clock signal twice the frequency of CPU. An oscillator circuit 23

outputs the clock signal of TTL or CMOS equivalent level according to the oscillation frequency of a quartz resonator 22. A frequency divider 24 carries out 1 / 2 dividing of the output of an oscillator circuit 23, and outputs it outside by making the dividing output into a CPU clock signal.

[0005] On the other hand, a quartz resonator 25 is an object for servo clock signal generation, and is oscillated by 3 times of a cylinder code transfer rate. An oscillator circuit 26 outputs the clock signal of TTL or CMOS equivalent level according to the oscillation frequency of a quartz resonator 24. The auxiliary oscillator circuit 27 is an LC circuit where the time constant was set up so that a quartz resonator 25 might oscillate by the target RF. In addition, R1 And R2 A capacitor and L of resistance, and C11, C12, C21 and C23 are coils.

[0006] In the above-mentioned configuration, in order to obtain the highest speed of CPU, when it assumes that a 16MHz CPU clock signal is required, the 32MHz quartz resonator 22 is used, and it will be used, carrying out 1 / 2 dividing of this in order to raise the frequency of a clock signal, and the precision of duty. On the other hand, as a reference clock signal for servoes, by the rise of the data transfer rate of these days, if 17.3MHz assumes that it is required, in order to raise the decoding precision of the servo data which generally use Gray code etc., the 17.3MHz 3 times as many quartz resonator [52MHz] 25 as this will be used.

[0007] In addition, in fact, although the read/write reference clock signal other than a CPU clock signal and a servo clock signal is required, this can use a servo clock signal. In the magnetic disk drive which uses the CDR (Constant Density Recording) method, the light PLL circuit was given by having made the servo clock signal into the read/write reference clock signal, and the frequency is changed for every zone.

[0008]

[Problem(s) to be Solved by the Invention] As described above, two quartz resonators 30MHz or more were required for the reference clock generator used for a magnetic disk drive conventionally. In this case, if the oscillation frequency of a quartz resonator exceeds 25-30MHz, since Xtal becomes very thin, mechanical dependability will fall and it will become expensive improving it. Therefore, carrying two or more expensive quartz resonators in one equipment poses a big problem in cost.

[0009] It becomes difficult to oscillate by the fundamental wave (primary oscillation frequency), and a quartz resonator cannot but stop moreover, using the 3rd higher harmonic and the 5th higher harmonic, when 30MHz is exceeded. For this reason, there is a problem more than which a supplemental circuit increases -- the auxiliary oscillator circuit (auxiliary resonance circuit) which consists of R, L, and C is needed, or the circuit which supervises an oscillation

frequency is needed so that it may oscillate by the fundamental wave accidentally and CPU may not malfunction -- so that it may be easy to oscillate by harmonic content.

[0010] This invention was made in view of the above points, has only one vibrator, and aims at offering the reference clock generator in which ***** is cheaply possible, and the reference clock generating approach for two or more reference clock signals with which frequencies differ.

[0011]

[Means for Solving the Problem] An oscillation means for the reference clock generator of this invention to have one vibrator, and to oscillate a clock signal according to the oscillation frequency of this vibrator, A reference clock generation means to generate two or more reference clock signals with which frequencies differ based on the above-mentioned clock signal which consists of combination of a PLL circuit and two or more frequency dividers, and is oscillated from the above-mentioned oscillation means, The division ratio of each above-mentioned frequency divider is set up independently, respectively, and the control means which adjusts the frequency of each above-mentioned reference clock signal is provided.

[0012]

[Function] According to the above-mentioned configuration, two or more

reference clock signals from which a frequency differs with the combination of a PLL circuit and two or more frequency dividers from the clock signal oscillated from an oscillation means are generated. Therefore, only by setting each division ratio as a suitable value, it is only one vibrator, and moreover, two or more reference clocks which have a desired frequency can be obtained, without changing the oscillation frequency of the vibrator.

[0013]

[Example] Hereafter, one example of this invention is explained with reference to a drawing. First, the configuration of the magnetic disk drive with which the reference clock generator of this invention is applied is explained. Drawing 3 is the block diagram showing the configuration of the magnetic disk drive of a servo system. In drawing 3, the disk whose 1 is a record medium, and 2 are the magnetic heads which perform read/write of data to this disk 1. A disk 1 rotates with a spindle motor 3. The magnetic head 2 is carried in carriage 4, and moves to radial [of a disk 1] with a voice coil motor (VCM) 5. A spindle motor 3 is driven by Motor Driver 6. A voice coil motor 5 is driven by the VCM driver 7.

[0014] A head amplifier 10 amplifies the read-out signal of the magnetic head 2 at the time of read-out of data, and supplies a write-in current to the magnetic head 2 according to light data at the time of the writing of data. the pulse detector 11 -- the electromagnetism of the read-out signal from a head amplifier 10 -- the

wave peak point equivalent to a conversion location is detected, and the read-out signal of an analog is changed into binary-ized data.

[0015] The servo detector 12 detects the head positioning data (burst data) which are servo data currently beforehand recorded on the disk 1. A/D converter 13 changes the head positioning data of an analog into digital value. Based on the head positioning data from the cylinder address code and A/D converter 13 from the pulse detector 11, the servo controller 14 performs point to point control of the magnetic head 2, and has acquired the servo clock signal required for the control from the reference clock generating circuit 21 here.

[0016] The lead PLL circuit 15 creates the lead clock signal which carried out phase simulation to the read pulse from the pulse detector 11. A decoder 16 restores to the read pulse from the pulse detector 11 to an NRZ signal. The light PLL circuit 17 inputs the servo clock signal from the reference clock generating circuit 21 mentioned later as a read/write reference clock signal, and creates a light clock signal. An encoder 18 modulates the NRZ data from an interface controller 20 to the light data which synchronized with the light clock signal from the light PLL circuit 17.

[0017] CPU19 carries out generalization control of the magnetic disk drive, and has acquired the CPU clock signal required for the control from the reference clock generating circuit 21 here. An interface controller 20 performs interface

control with the host computer which is not illustrated. The reference clock generating circuit 21 is the part of this invention, by the configuration as shown in drawing 1 or drawing 2 , generates a servo clock signal and a CPU clock signal, and outputs them to the servo controller 14 and CPU19, respectively.

[0018] Next, the reference clock generator of this invention is explained. By this invention, it aims at generating two or more reference clocks (here a servo clock signal and a CPU clock signal) from which a frequency differs with one trembler, and the concrete configuration is shown in drawing 1 .

[0019] Drawing 1 is the block diagram showing the configuration of the reference clock generator as the 1st example. In drawing 1 , a quartz resonator 28 is oscillated by 32MHz. An oscillator circuit 29 outputs the clock signal of TTL or CMOS equivalent level according to the oscillation frequency of a quartz resonator 28. 1/2 frequency divider 30 carries out 1 / 2 dividing of the output signal of an oscillator circuit 29, and outputs it outside (CPU19) by making the dividing output into a CPU clock signal.

[0020] The 1/M frequency divider 31 carries out dividing of the output signal of an oscillator circuit 29 by the division ratio (1/M) set up with a control register 38. A phase comparator 32 performs the phase comparison of the dividing output of the 1/M frequency divider 31, and the dividing output of the 1-/N frequency divider 36 established in the feedback loop of a PLL circuit. The charge pump 33

is the current source of the charge / discharge current supplied to a loop filter 34 according to the output signal of a phase comparator 32. A loop filter 34 is an integral mold filter which carries out smooth [of the charge / the discharge current of the charge pump 33], and supplies oscillation control voltage to a voltage controlled oscillator (VCO) 35. A voltage controlled oscillator 35 is oscillated on the frequency (here 104MHz) according to the output voltage of a loop filter 34.

[0021] The $1/N$ frequency divider 36 is established in the feedback loop of a PLL circuit, carries out dividing of the output signal of a voltage controlled oscillator 35 by the division ratio ($1/N$) set up with a control register 38, and feeds back the dividing output to a phase comparator 32. $1/L$ frequency divider 37 carries out dividing of the output signal of a voltage controlled oscillator 35 by the division ratio ($1/L$) set up with a control register 38, and outputs it outside (servo controller 14) by making the dividing output into a servo clock signal (read/write reference clock signal). A control register 38 sets up independently each division ratio of the $1/N$ frequency divider 36 of $1/M$ frequency dividers, and the $1/L$ frequency divider 37, respectively.

[0022] In such a configuration, the 32MHz clock signal outputted from an oscillator circuit 29 is given to $1/2$ frequency divider 30 and the $1/M$ frequency divider 31. In $1/2$ frequency divider 30, $1/2$ dividing of the 32MHz clock signal

are carried out. Thereby, a 16MHz CPU clock signal is acquired. This CPU clock signal is given to CPU19 shown in drawing 3 .

[0023] With a control register 38, while setting up "1/13" for the division ratio of "1/4" and the 1-/N frequency divider 36, the division ratio of the 1/M frequency divider 31 here If the division ratio of 1 / L frequency divider 37 established in the latter part of a PLL circuit "is set as one half", after 1 / 4 dividing of the 32MHz clock signal outputted from the oscillator circuit 29 are carried out in the 1/M frequency divider 31, it will be first given to a PLL circuit.

[0024] A PLL circuit consists of a phase comparator 32, the charge pump 33, a loop filter 34, a voltage controlled oscillator 35, and a 1-/N frequency divider 36, and generates a 104MHz clock signal in response to the output signal (clock signal of 8MHz) of the 1/M frequency divider 31. In 1 / L frequency divider 37 established in the latter part of a PLL circuit, 1 / 2 dividing of this 104MHz clock signal are carried out. Thereby, a 52MHz servo clock signal is acquired. This servo clock signal is given to the servo controller 14 shown in drawing 3 . In addition, this 52MHz servo clock signal is also given to the light PLL circuit 17 as a read/write reference clock signal.

[0025] Thus, this CPU clock signal can acquire the servo clock signal with which frequencies differ to a CPU clock signal and coincidence by preparing a PLL circuit and a frequency divider and setting each division ratio as a suitable value

with a control register 38 according to the frequency of a servo clock signal. In this case, since only one uses a 32MHz quartz resonator, a cost cut can be aimed at, without dropping each performance of CPU and servo control. Moreover, since this equipment consists of a PLL circuit and a frequency divider, its frequency precision is very high and it does not need a supplemental circuit like before.

[0026] Next, the 2nd example of this invention is explained. Although the frequency of a CPU clock signal was considered as immobilization and considered as a configuration which sets the frequency of the CPU clock signal to a servo clock signal as arbitration in the 1st example of the above, a setup of each frequency of a CPU clock signal and a CPU clock signal to arbitration is enabled here.

[0027] Drawing 2 is the block diagram showing the configuration of the reference clock generator as the 2nd example. In drawing 2, a quartz resonator 39 is oscillated by 16MHz. An oscillator circuit 40 outputs the clock signal of TTL or CMOS equivalent level according to the oscillation frequency of a quartz resonator 39.

[0028] The 1/M frequency divider 41 carries out dividing of the output signal of an oscillator circuit 40 by the division ratio (1/M) set up with a control register 49. A phase comparator 42 performs the phase comparison of the dividing output of

the $1/M$ frequency divider 41, and the dividing output of the $1/N$ frequency divider 46 established in the feedback loop of a PLL circuit. The charge pump 43 is the current source of the charge / discharge current supplied to a loop filter 44 according to the output signal of a phase comparator 42. A loop filter 44 is an integral mold filter which carries out smooth [of the charge / the discharge current of the charge pump 43], and supplies oscillation control voltage to a voltage controlled oscillator (VCO) 45. A voltage controlled oscillator 45 is oscillated on the frequency (here 96MHz) according to the output voltage of a loop filter 34.

[0029] The $1/N$ frequency divider 46 is established in the feedback loop of a PLL circuit, carries out dividing of the output signal of a voltage controlled oscillator 45 by the division ratio ($1/N$) set up with a control register 49, and feeds back the dividing output to a phase comparator 42. 1 / L1 A frequency divider 47 carries out dividing of the output signal of a voltage controlled oscillator 45 by the division ratio ($1 / L1$) set up with a control register 49, and outputs it outside (CPU19) by making the dividing output into a CPU clock signal. 1 / L2 A frequency divider 48 carries out dividing of the output signal of a voltage controlled oscillator 45 by the division ratio ($1 / L2$) set up with a control register 49, and outputs it outside (servo controller 14) by making the dividing output into a servo clock signal (read/write reference clock signal). A control register 49 is

the 41 or 1/N frequency dividers 46 and 1 of 1/M frequency dividers / L1. Frequency dividers 47 and 1 / L2 Each division ratio of a frequency divider 48 is set up independently, respectively.

[0030] In such a configuration, the 16MHz clock signal outputted from an oscillator circuit 40 is given to a PLL circuit through the 1/M frequency divider 41. The division ratio of the 1/M frequency divider 41 with a control register 49 here "1/2", 1 / L1 which set the division ratio of the 1-/N frequency divider 46 as "1/12", and was further prepared in the latter part of a PLL circuit Frequency dividers 47 and 1 / L2 If the division ratio of a frequency divider 48 is set as "1/6" and "1/2", respectively First, after 1 / 2 dividing of the 16MHz clock signal outputted from the oscillator circuit 29 are carried out in the 1/M frequency divider 41, it is given to a PLL circuit.

[0031] A PLL circuit consists of a phase comparator 42, the charge pump 43, a loop filter 44, a voltage controlled oscillator 45, and a 1-/N frequency divider 46, and generates a 96MHz clock signal in response to the output signal (clock signal of 8MHz) of the 1/M frequency divider 41. This 96MHz clock signal is 1 prepared in the latter part of a PLL circuit / L1. Frequency dividers 47 and 1 / L2 A frequency divider 48 is given.

[0032] 1 / L1 In a frequency divider 47, 1 / 6 dividing of the PLL output are carried out. Thereby, a 16MHz CPU clock signal is acquired. This CPU clock signal is

given to CPU19 shown in drawing 3 . On the other hand, it is $1 / L2$. In a frequency divider 48, $1 / 2$ dividing of the above-mentioned PLL output are carried out. Thereby, a 48MHz servo clock signal is acquired. This servo clock signal is given to the servo controller 14 shown in drawing 3 . In addition, this 48MHz servo clock signal is also given to the light PLL circuit 17 as a read/write reference clock signal.

[0033] Thus, two kinds of frequency dividers are established in the latter part of a PLL circuit, and you may make it acquire a CPU clock signal and a servo clock signal, respectively. In this case, with the configuration of drawing 2 , although a quartz resonator 28 is dependent on the frequency of a CPU clock signal and that oscillation frequency is set to 30MHz or more with the configuration of drawing 1 , although the frequency of a servo clock signal can be chosen only by the integral multiple of the frequency of a CPU clock signal, since a quartz resonator 39 is not dependent on the frequency of a CPU clock signal, that oscillation frequency can be set to 20 or less MHzs, and a cost cut can be aimed at further.

[0034]

[Effect of the Invention] As mentioned above, according to this invention, since two or more reference clock signals with which frequencies differ were generated combining a PLL circuit and two or more frequency dividers, only by

setting each division ratio as a suitable value, it is only one vibrator, and moreover, two or more reference clock signals which have a desired frequency can be acquired, without changing the oscillation frequency of the vibrator.

[0035] Therefore, in a magnetic disk drive, two kinds of reference clock signals, such as a CPU clock signal and a servo clock signal, can be offered with a sufficient precision with a cheap configuration, without dropping each performance of CPU and a servo control circuit.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram showing the configuration of the reference clock generator concerning the 1st example of this invention.

[Drawing 2] The block diagram showing the configuration of the reference clock generator concerning the 2nd example of this invention.

[Drawing 3] The block diagram showing the configuration of the magnetic disk drive with which the reference clock generator of this invention is applied.

[Drawing 4] The block diagram showing the configuration of the conventional reference clock generator.

[Description of Notations]

28 -- A quartz resonator, 29 -- An oscillator circuit, 30 -- $1/2$ frequency divider, a 31-- $1/M$ frequency divider, 32 -- A phase comparator, 33 -- A charge pump, 34 -- Loop filter, 35 -- A voltage controlled oscillator, a 36-- $1/N$ frequency divider, 37 -- $1 / L$ frequency divider, 38 -- A control register, 39 -- A quartz resonator, 40 -- An oscillator circuit, a 41-- $1/M$ frequency divider, 42 [-- A loop filter, 45 / -- A voltage controlled oscillator, a 46-- $1/N$ frequency divider and 47-- $1 / L1$] A frequency divider, and 48-- $1 / L2$ A frequency divider, 49 -- Control register. -- A phase comparator, 43 -- A charge pump, 44